

PAT-NO: JP411120504A

DOCUMENT-IDENTIFIER: JP 11120504 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT AND MAGNETIC  
DISK  
DEVICE

PUBN-DATE: April 30, 1999

INVENTOR-INFORMATION:

NAME  
OOTA, MORIYOSHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP09283303

APPL-DATE: October 16, 1997

INT-CL (IPC): G11B005/09

ABSTRACT:

PROBLEM TO BE SOLVED: To cancel an offset time caused by process variation and another layout primary factor.

SOLUTION: This semiconductor integrated circuit is provided with an offset adjustment circuit 451 for adjusting an offset in recording correction by adjusting a delay time in a first delay circuit 453 based on a difference between the delay time in the first delay circuit 453 and the delay time in a second delay circuit 454 when the data of a prescribed pattern are inputted simultaneously to both of the first delay circuit 453 and the second delay

circuit 454. The offset time caused by the process variation and another layout primary factor is canceled by adjusting the delay time in the first delay circuit 453, based on the difference between the delay time in the first delay circuit 453 and the delay time in the second delay circuit 454.

COPYRIGHT: (C)1999,JPO

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-120504

(43)公開日 平成11年(1999) 4月30日

(51)Int.Cl.<sup>6</sup>  
G 1 1 B 5/09

識別記号  
3 1 1

F I  
G 1 1 B 5/09

3 1 1 A

審査請求 未請求 請求項の数3 O L (全 9 頁)

(21)出願番号 特願平9-283303

(22)出願日 平成9年(1997)10月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 太田 守由

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

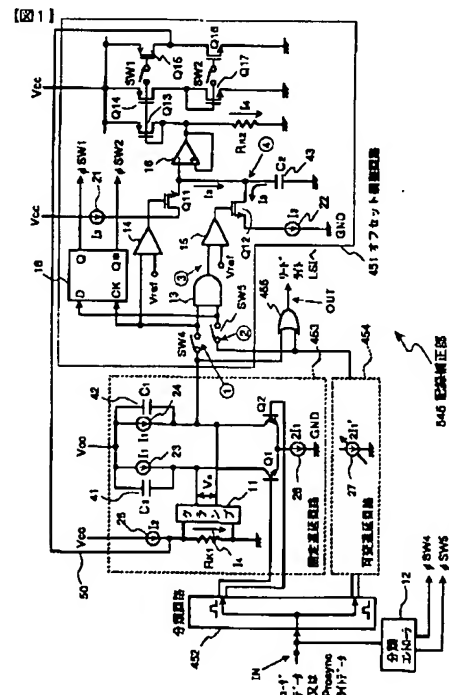
(74)代理人 弁理士 玉村 静世

(54)【発明の名称】 半導体集積回路及び磁気ディスク装置

(57)【要約】

【課題】 プロセスばらつき、その他レイアウト的な要因によって発生するオフセット時間をキャンセルすることにある。

【解決手段】 所定パターンのデータを第1遅延回路(453)と第2遅延回路(454)との双方に同時に入力するとき、第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に基づいて上記第1遅延回路での遅延時間を調整することで、上記記録補正のオフセットを調整するためのオフセット調整回路を設ける。第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に基づいて上記第1遅延回路での遅延時間を調整することにより、プロセスばらつき、その他レイアウト的な要因によって発生するオフセット時間をキャンセルする。



## 【特許請求の範囲】

【請求項1】 入力信号を遅延する第1遅延回路と、それとは異なる遅延時間に設定可能な第2遅延回路と、上記第1遅延回路と上記第2遅延回路の出力信号を合成するための合成回路とを備え、磁気ディスクの磁化反転パターンとの関係で特定論理のパルス間隔を広げることにより記録補正を行う記録補正回路を含む半導体集積回路において

所定パターンのデータを上記第1遅延回路と上記遅延回路との双方に同時に入力するモードを有し、

上記モードにおいて、上記第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に基づいて上記第1遅延回路での遅延時間を調整することで、上記記録補正のオフセットを調整するためのオフセット調整回路を含むことを特徴とする半導体集積回路。

【請求項2】 上記第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に応じた電圧を発生させる電圧発生手段と、

上記電圧発生手段によって発生された電圧に応じた電流を上記第1遅延回路にフィードバックするためのフィードバック経路とを含む請求項1記載の半導体集積回路。

【請求項3】 請求項1又は2記載の半導体集積回路と、この半導体集積回路の出力信号に基づいて磁気ヘッドへの情報書き込みを行う磁気ヘッドとを含んで成ることを特徴とする磁気ディスク装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路、特に磁気ディスクへの記録データの処理技術に関し、例えば記録補正部を備えた磁気ディスク装置に適用して有効な技術に関する。

【0002】

【従来の技術】磁気ディスク装置は、磁気ディスク、この磁気ディスクに非接触状態で情報の記録及び読み出しを可能とする磁気ヘッド、この磁気ヘッドに書き込み信号を供給したり磁気ヘッドで得られた電気信号を増幅するためのリードライトLSI（半導体集積回路）、上記ロードライトLSIからの出力データを処理したり、記録データを処理するためのLSIとを含んで成る。

【0003】尚、磁気ディスク装置について記載された文献の例としては、昭和58年8月20日に株式会社オーム社から発行された「電子通信ハンドブック（第1245頁～）」がある。

【0004】

【発明が解決しようとする課題】磁気ディスク装置のデータ記録においては、以下のように記録補正が行われる。

【0005】図6（a）には高密度化により連続した論理値“1”のパルス間隔が短くなった場合のリードライトLSI53の出力波形状態が示される。この場合、リ

10

20

30

40

50

ードライトLSI53の出力波形は、ディスク上の磁化反転パターンとは異なった位置にピークがある（これは、「パターンピークシフト」と称される）。読み出し信号の再生系では、データ間隔一定と考えて処理しているので、ピークではない位置の信号電圧を用いて処理することになる。すなわち、信号電圧が小さくなるのでデータを誤る確率が高くなる。このため、論理値“1”が連続する場合、図6（b）に示されるように、後ろの論理値“1”までのパルス間隔を広げることで対処する。これによって、パターンピークシフトの影響が小さくなるため、データ再生時の出力振幅を確保し、誤り率を小さくすることができる。このように、論理値“1”のパルス間隔を広げることを「記録補正」と称し、広げた時間を補正時間と称する。

【0006】しかしながら、磁気ディスク装置の高速転送に伴い、補正時間の精度に厳しい精度が要求されると、プロセスばらつきやその他レイアウト的な要因によって上記補正時間に生ずるオフセット時間を無視することができなくなる。つまり、補正時間のオフセットのために、論理値“1”が連続する場合において、パターンピークシフトの影響を十分に小さくすることができない。

【0007】本発明の目的は、プロセスばらつき、その他レイアウト的な要因によって発生するオフセット時間をキャンセルするための技術を提供することにある。

【0008】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0009】すなわち、入力信号を遅延する第1遅延回路（453）と、それとは異なる遅延時間に設定可能な第2遅延回路（454）と、上記第1遅延回路と上記第2遅延回路の出力信号を合成するための合成回路（455）とを含んで成る記録補正回路（545）を含むとき、所定パターンのデータを上記第1遅延回路と上記遅延回路との双方に同時に入力するモードを有し、上記第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に基づいて上記第1遅延回路での遅延時間を調整することで、上記記録補正のオフセットを調整するためのオフセット調整回路を備える。

【0010】上記した手段によれば、上記オフセット調整回路は、第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に基づいて上記第1遅延回路での遅延時間を調整し、このことが、プロセスばらつき、その他レイアウト的な要因によって発生するオフセット時間をキャンセルする。

【0011】このとき、上記第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に応じた電圧を発生させる電圧発生手段（Q11、Q12、C2）と、上記電圧発生手段によって発生された電圧に応じた電流

を上記第1遅延回路にフィードバックするためのフィードバック経路(50)とを設けることにより、上記オフセット調整回路を容易に形成することができる。

【0012】そのような半導体集積回路は、上記のようにプロセスばらつき、その他レイアウト的な要因によって発生するオフセット時間をキャンセルできるので、磁気ディスク装置の高速化に対応することができる。

【0013】

【発明の実施の形態】図5には、本発明の一例である磁気ディスク装置が示される。

【0014】磁気ディスク装置は、例えば図5に示されるように、磁気ディスク51、この磁気ディスク51に非接触状態で情報の記録及び読み出しを可能とする磁気ヘッド52、この磁気ヘッド52に書き込み信号を供給したり磁気ヘッド52で得られた電気信号を増幅するためのリードライトLSI(半導体集積回路)、上記リードライトLSI53からの出力データを処理したり、記録データを処理するためのPRML用LSI54とを含んで成る。このPRML用LSI54においては、読み出し系として、PR処理部541、ML復号部542、復調部543が設けられ、書き込み系として、符号変換部544、記録補正部545が設けられる。

【0015】読み出し系について説明する。

【0016】PR処理部541は、すなわち波形間干渉を積極的に利用し、狭帯域で信号処理する波形等化処理(PR処理)を行う。ML復号部542は、データをビット毎ではなく、前後のデータとともに最も確からしさの高いという条件で行う復号(ML復号)処理を行う。この二つの方法を組み合わせることでPRML信号処理が行われることによって高密度化を行いながら所望のデータ誤り率を確保できる。

【0017】書き込み系について説明する。

【0018】符号変換部544は、8ビットの記録データを9ビットに変換する。これは、読み出し系で採用されるPRML変換処理は、データの論理値が“1”である点を使って再生データを確定していく方式であって、論理値“0”が連続する期間が短い8-9変換符号(8ビットデータを9ビットで表示する符号)を採用したためである。記録補正部545は、論理値“1”を表すパルスが2ビット連続した場合にそのパルス間隔を広くする機能に加えて記録補正のオフセットをキャンセルする機能を持っており、以下のように構成されている。

【0019】図7には記録補正部545の構成例が示される。

【0020】図7に示されるようにこの記録補正部545は、分類回路452、固定遅延回路453、可変遅延回路454、オフセット調整回路451、及び合成回路455を含む。

【0021】図8に示されるように、論理値“1”のデータが連続してきた場合、分類回路452は、入力され

た書き込みパルスを、補正すべきパルスと、それ以外のパルスとに分ける。この分類により、直前のデータも論理値“1”である場合の論理値“1”のデータは、補正対象データとしてそれが可変遅延回路452に、それ以外のデータは固定遅延回路453に供給される。従って、この場合、二つの遅延回路453、454によって生じた入出力間の遅延時間の差によりパルス間隔が広がる(連続した論理値“1”のパルス間隔が補正されたことになる)。その後、それらが後段の合成回路455で合成されて出力パルスとしてまとめられる。このとき、二つの遅延回路における遅延時間の差 $t_p$ が遅延時間となる。

【0022】 $t_p = t_2 - t_1$

ここで、 $t_p$ は補正時間、 $t_1$ は固定遅延時間である。

【0023】また、そのような記録補正において、磁気ディスク装置の高速転送化に伴い、補正時間の精度に厳しい精度が要求されると、プロセスばらつきやその他レイアウト的な要因によって上記補正時間に生ずるオフセット時間を無視することができなくなる。つまり、補正時間のオフセットのために、論理値“1”が連続する場合において、パターンピークシフトの影響を十分に小さくすることができなくなる。

【0024】そこで、オフセット補正回路451では、上記プロセスばらつきやその他レイアウト的な要因によって上記補正時間に生ずるオフセット時間をキャンセルするように固定遅延回路453にフィードバックがかけられる。

【0025】図1には、記録補正部545の詳細な構成例が示される。

【0026】記録補正部545には、この磁気ディスク装置のユーザによって当該磁気ディスク装置へ書き込まれるユーザデータと、そのようなユーザデータの先頭に配置されるプロシンク(Prosync)ライトデータが入力される。プロシンクライトデータは論理値“1”、“0”、“1”、“0”のようなパターンデータであり、しかもそのバイト数が予め定められている。分類コントローラ12が設けられ、この分類コントローラ12によって、上記プロシンクライトデータとユーザデータとの判別が行われ、その判別結果により、分類回路452が制御される。例えばこの分類回路452は、電源投入後にプロシンクデータの入力待ち状態となり、その場合には、入力端子INからの入力データを固定遅延回路453、可変遅延回路454に同時に取り込む。プロシンクデータのバイト数は予め決められているから、このプロシンクデータの取り込みが終了したのと同時に上記分類回路452をユーザデータ取り込みモードにする。このユーザデータ取り込みモードでは論理値“1”のデータが連続してきた場合のデータ転送路切り換えが行われる。つまり、直前のデータも論理値“1”である場合の論理値“1”のデータは、補正対象データ

としてそれが可変遅延回路452に、またそれ以外のデータは固定遅延回路453に、それぞれ相補レベルで供給される。

【0027】固定遅延回路453は、npn型のバイポーラトランジスタQ1、Q2のエミッタカップルによるカレントスイッチ回路及びこのカレントスイッチ回路の出力振幅Vaをクランプするクランプ回路11、このクランプ回路11でクランプされるレベルを決定するための抵抗R<sub>K1</sub>およびそれに定電流源25(I<sub>2</sub>)を含む、  
10 定電流源25と抵抗R<sub>K1</sub>との直列接続箇所には後述するオフセット調整回路451からの出力信号が伝達されるようになっている。

【0028】バイポーラトランジスタQ1、Q2のコレクタ電極は、それぞれ定電流源23及びキャパシタ41、定電流源24及びキャパシタ42を介して高電位側電源V<sub>cc</sub>に結合される。定電流源23、24の電流値はI<sub>1</sub>とされる。バイポーラトランジスタQ1、Q2のエミッタ電極は、定電流源26を介してグランドGNDに結合される。定電流源26の電流値は2I<sub>1</sub>で示される。また、バイポーラトランジスタQ1、Q2のベース  
20 電極には、上記分類回路452からの相補レベルの出力信号が伝達されるようになっている。この回路構成では、バイポーラトランジスタQ2のベース電極にハイレベルの信号が入力されることにより、バイポーラトランジスタQ2のコレクタ電位(固定遅延回路453の出力電圧)がハイレベルにされる。そして、キャパシタ41、42をクランプした電圧Vaまでバイアス電流により充放電する時間だけ、入力信号に対して出力信号が遅延されるようになっている。磁気ディスク装置でのデータ書き込みの高速化に対応するため、分類回路452で  
30 MOS-ECレベル変換及び差動出力化されたデータで遅延処理が行われる。この固定遅延回路453での遅延時間tは、

$$t = C_1 \times (V/2) / I_1$$

により示される。ここで、V/2は差動信号がクロスするまでの出力振幅電圧、C<sub>1</sub>は容量値、I<sub>1</sub>はバイアス電流である。

【0029】可変遅延回路454も上記固定遅延回路453と基本的に同様に形成される。ただし、可変遅延回路454においては、バイポーラトランジスタのエミッタに結合された定電流源27(2I<sub>1</sub>′)の電流値が可  
40 変であり、この電流値を変更することにより遅延時間の変更が可能とされる。

【0030】図9にはクランプ回路11の構成例が示される。

【0031】クランプ回路11は、特に制限されないが、バイポーラトランジスタQ3～Q8が結合されて成る。バイポーラトランジスタQ3、Q4、Q5はnpn型とされ、バイポーラトランジスタQ6、Q7、Q8は  
50 pnp型とされる。バイポーラトランジスタQ4、Q7

が直列接続され、バイポーラトランジスタQ5、Q8が直列接続される。バイポーラトランジスタQ4、Q7が直列接続箇所がバイポーラQ1のコレクタ側に接続され、バイポーラトランジスタQ5、Q8が直列接続箇所がバイポーラトランジスタQ2のコレクタ側に接続される。バイポーラトランジスタQ3、Q6はエミッタホロアとされる。抵抗R<sub>K1</sub>の一端の電圧V<sub>H</sub>に基づくバイポーラトランジスタQ3のエミッタホロア出力電圧によりバイポーラトランジスタQ7、Q8が制御され、抵抗R<sub>K1</sub>の他端の電圧V<sub>L</sub>に基づくバイポーラトランジスタQ6のエミッタホロア出力電圧によりバイポーラトランジスタQ4、Q5が制御される。バイポーラトランジスタQ1側のクランプレベルはバイポーラトランジスタQ4、Q7の分圧レベルとなり、バイポーラトランジスタQ2側のクランプレベルはバイポーラトランジスタQ5、Q8の分圧レベルとなり、クランプ回路11の出力振幅は、抵抗R<sub>K1</sub>の両端の電圧によってのみ決定される電圧レベルにクランプされる。

【0032】図7に示される合成回路455は、特に制限されないが、図1に示されるように2入力オアゲートによって形成される。つまり、このオアゲートによって固定遅延回路453の出力信号と、可変遅延回路454の出力信号との論理和が得られることで、リードライトLSIへ供給される出力信号OUTが形成される。可変遅延回路454の出力信号は、合成回路455へ伝達されるようになっている。

【0033】オフセット調整回路451は次のように形成される。

【0034】2入力アンドゲート13が設けられ、このアンドゲート13の一方の入力端子には、スイッチSW4を介して固定遅延回路453の出力信号が伝達され、他方の入力端子には、スイッチSW5を介して可変遅延回路454の出力信号が入力されるようになっている。スイッチSW4、SW5は分類コントローラ12によって動作制御される。プロシクライトデータの入力待ち状態では、分類コントローラ12の制御により、スイッチSW4、SW5がオン状態とされて、固定遅延回路453の出力信号及び可変遅延回路454の出力信号がアンドゲート13に入力されて、このオフセット調整回路451でのオフセット調整に供される。しかし、ユーザデータ入力待ち状態では、分類コントローラ12の制御により、スイッチSW4、SW5がオフされて、固定遅延回路453の出力信号及び可変遅延回路454の出力信号がアンドゲート13に伝達されるのが阻止される。オフセット調整回路451でのオフセット調整は、プロシクライトデータを利用して行われるようになっており、そのようなオフセット調整においてユーザデータは不要だからである。アンドゲート13の出力信号は後段のコンパレータ15に入力され、参照電圧V<sub>ref</sub>と比較される。この比較結果に基づいてキャパシタ43の蓄

積電荷を放出するためのnチャンネル型MOSトランジスタQ12が駆動制御されるようになっている。また、スイッチSW4がオンされた状態で、上記固定遅延回路453から出力された信号はコンパレータ14に伝達され、ここで、参照電圧Vrefと比較され、その比較結果に基づいてキャパシタ43に充電するためのnチャンネル型MOSトランジスタQ11が駆動制御されるようになっている。nチャンネル型MOSトランジスタQ11のドレイン電極は、定電流源21を介して高電位側電源Vccに結合され、nチャンネル型MOSトランジスタQ12のソース電極は定電流源22を介してグラウンドGNDに接続される。定電流源21、22の電流値はI3で示される。

【0035】固定遅延回路453の出力信号が参照電圧Vrefよりも高い場合、コンパレータ14の出力信号がハイレベルとなり、その場合には、nチャンネル型MOSトランジスタQ11がオンされて、定電流源21によって決定される定電流I3でキャパシタ43（容量値はC2で示される）への充電が行われる。アンドゲート13の出力信号が参照電圧Vrefよりも高い場合、nチャンネル型MOSトランジスタQ12がオンされて、定電流源22によって決定される定電流I3でキャパシタ43の蓄積電荷の放出が行われる。キャパシタ43の端子電圧は、上記した充電時間及び蓄積電荷放出時間の比で決定される。つまり、キャパシタ43へ充電される時間が蓄積電荷放出時間よりも長ければ、キャパシタ43の端子電圧は上昇し、それとは逆に、キャパシタ43へ充電される時間が蓄積電荷放出時間よりも短ければ、キャパシタ43の端子電圧は下降される。

【0036】また、キャパシタ43の端子電圧をバッファリングするボルテージホールド16が設けられ、このボルテージホールド16の出力に基づいて後段のpチャンネル型MOSトランジスタQ13、Q14、Q15、nチャンネル型MOSトランジスタQ17、Q16が駆動制御されるようになっている。pチャンネル型MOSトランジスタQ13、Q14、Q15のソース電極は高電位側電源Vccに結合される。pチャンネル型MOSトランジスタQ13のドレイン電極は抵抗Rk2を介してグラウンドGNDに接続される。この抵抗Rk2に流れる電流はI4で示される。また、nチャンネル型MOSトランジスタQ16、Q17のソース電極はグラウンドGNDに結合される。MOSトランジスタQ15、Q16のゲート電極には、MOSトランジスタQ16、Q16を選択するためのスイッチSW1、SW2がそれぞれ設けられ、信号伝達経路の断続が行われるようになっている。スイッチSW1がオンされると、キャパシタ43の端子電圧レベルに応じてpチャンネル型MOSトランジスタQ15が駆動され、スイッチSW2がオンされると、キャパシタ43の端子電圧レベルに応じてnチャンネル型MOSトランジスタQ16が駆動される。pチャンネル型M

OSTランジスタQ15とnチャンネル型MOSトランジスタQ16の直列接続箇所から出力信号が得られ、それが、フィードバック経路50を介して上記固定遅延回路453における定電流源I2と抵抗Rk1との直列接続箇所に帰還される。このため、もし、スイッチSW1がオンされてpチャンネル型MOSトランジスタQ15が駆動される場合には、このMOSトランジスタQ15を介して抵抗Rk1に流れる電流が、定電流源25による定電流I2に加算されることによって、抵抗Rk1の端子電圧が上昇することにより、クランプ電圧Vaの値が上昇される。また、スイッチSW2がオンされてnチャンネル型MOSトランジスタQ16が駆動される場合には、このMOSトランジスタQ16を介して、上記定電流源25による定電流I2がグラウンドGNDに分流されるから、抵抗Rk1に流れる電流が減少され、それによって抵抗Rk1の端子電圧が下降することにより、クランプ電圧Vaの値が下降される。上記スイッチSW1、SW2の動作は、それぞれD型フリップフロップ18のデータ出力端子Q、Q\*（\*は信号反転を示す）によって制御される。

【0037】D型フリップフロップ18は、固定遅延回路453の出力信号と可変遅延回路454の出力信号との位相比較を行うために設けられており、この位相比較結果に応じて上記スイッチSW1又はSW2が選択的にオンされる。D型フリップフロップ18のクロック入力端子CKには、スイッチSW4を介して固定遅延回路453の出力信号が入力され、データ入力端子Dには、スイッチSW5を介して可変遅延回路454の出力信号が入力されるようになっている。そのような接続関係により、ノード①の信号がハイレベルに立ち上がるときにノード②の信号がローレベルの場合には、Dフリップフロップ18の出力端子Qからの出力信号がローレベルとされてスイッチSW1が選択的にオンされる。このとき、出力端子Q\*からの出力信号はハイレベルとされてスイッチSW2はオフ状態とされる。逆に、ノード①の信号がハイレベルに立ち上がるときにノード②の信号がハイレベルの場合には、Dフリップフロップ18の出力端子Q\*からの出力信号はローレベルとされてスイッチSW2がオン状態とされる。このとき、出力端子Qからの出力信号はハイレベルとされてスイッチSW1はオフ状態とされる。

【0038】分類回路452にプロシクライトデータが入力される場合の動作を説明する。

【0039】固定遅延回路453のバイアス電流2I1と可変遅延回路454のバイアス電流2I1'が、互いに等しくなるように設定される。

【0040】分類回路452にプロシクライトデータが入力される時、分類コントローラ12の制御により、プロシクライトデータが固定遅延回路453、及び可変遅延回路454に同時に入力される。また、この

とき、分類コントローラ12によりスイッチSW4、5がオンされる。これにより、固定遅延回路453の出力信号がスイッチSW4を介してD型フリップフロップ18のクロック入力端子D、コンパレータ14、アンドゲート13へ伝達される。また、可変遅延回路454の出力信号は、スイッチSW5を介してアンドゲート13に伝達される。

【数1】

$$t_{pd} = \frac{C_1 \cdot V_a}{2I_1} \quad (= \frac{C_1 \cdot R_{k1} \cdot I_2}{2I_1})$$

【0044】ここで、C1はキャパシタ41、42の容量値である。

【0045】図3には、オフセットがある場合の主要部のタイミングが示される。

【0046】ノード①において、 $t_{pd0}$ の遅延を生じ、ノード②で、 $t_{offset0}$ の遅延を生じており、この結果、出力端子OUTからの出力信号のパルス幅は、プロシクデータのパルス幅に、上記オフセット $t_{offset0}$ が加算されたものとなる。そこで、このオフセットは次のようにキャンセルされる。

【0047】図4(a)にはD型フリップフロップ18の動作タイミングが示され、図4(b)にはオフセットキャンセルの動作タイミングが示される。

【0048】ノード①の信号のほうがノード②の信号に比べて位相が進んでいる場合には、図4(a)に示されるように、D型フリップフロップ18のクロック入力端子CKへの入力信号の位相ほうが、D型フリップフロップ18のデータ入力端子Dへの入力信号の位相に比べて $t_1$ 時間だけ進んでいる場合には、D型フリップフロップ18のデータ出力端子Qは、ローレベルに固定され、出力端子Q\*はハイレベルに固定される。それにより、スイッチSW1がオンされ、スイッチSW2がオフされる。

【0049】また、ノード①の信号のほうがノード②の信号に比べて位相が進んでいる場合には、図4(b)に示されるように、コンパレータ14の出力信号のハイレベル期間よりもコンパレータ15の出力信号のハイレベル期間のほうが長くなり、キャパシタ43の放電電流が増大されることで、換言すれば、ノード④からMOSTランジスタQ12を介して流れる電流 $I_3$ が増大されることで、ノード④の電圧が上昇される。すると、キャパシタC2の端子電圧が下降される。上記のように、D型フリップフロップ18のデータ出力端子Qは、ローレベルに固定され、出力端子Q\*はハイレベルに固定されることで、スイッチSW1がオンされ、スイッチSW2がオフされるから、ボルテージホロア16の出力に基づい※

\*【0041】図2にはオフセットが無い場合の主要部のタイミング波形が示される。

【0042】入力端子INから入力されたプロシクライトデータと合成回路455から出力されるデータとのずれ(遅延時間) $t_{pd}$ は、数1に示される。

【0043】

【数1】

※てMOSTランジスタQ15が駆動されることにより、固定遅延回路453における抵抗RK1に供給される電流が増大され、クランプ回路11でのクランプ電圧Vaが上昇されて、固定遅延回路453での遅延量が増大される。

【0050】ここで、抵抗RK1に供給される電流を $I_4$ とすると、この電流 $I_4$ は、数2で示され、クランプ電圧Vaは、数3で示される。数2及び数3から、遅延時間 $t_{pd1}$ は数4で示され、従って次のパルス信号においてノード①、②でのオフセット $t_{offset1}$ は、数5に示されるようになる。そして、複数(kで示す)個目のパルス信号においてノード①、②でのオフセット $t_{offset1}$ は、数6に示されるようになる。

【0051】上記のフィードバック制御によれば、ノード①での信号タイミングが遅れ、そのようなフィードバック制御により、やがてノード①の信号とノード②の信号の位相が合致するようになる。つまり、数6における $I_3/I_1$ が小さくされ、 $\alpha$ が小さくされることによって、オフセットがキャンセルされる。

【0052】また、上記の場合とは逆に、ノード①の信号がノード②の信号に比べて遅れている場合には、D型フリップフロップ18のデータ出力端子Qの論理がハイレベルとなり、スイッチSW1がオフされ、スイッチSW2がオンされることにより、nチャンネル型MOSTランジスタQ16がオンされ、定電流源25からの電流が引き抜かれることにより、クランプ電圧Vaが低下され、固定遅延回路453での遅延量が減少されるから、ノード①の信号が進み、そのようにしてオフセットがキャンセルされる。

【0053】

【数2】

【数2】

$$I_4 = \frac{I_3 \times t_{offset}}{C_2 \cdot R_{k2}}$$

【0054】

【数3】



11  
【数3】

$$\begin{aligned} V_a &= (I_2 + I_4) \times R_{k1} \\ &= I_2 \cdot R_{k1} + \frac{R_{k1}}{R_{k2}} \cdot \frac{I_3 \cdot \text{toffset}}{C_2} \end{aligned}$$

【0055】

\* \* 【数4】

【数4】

$$\begin{aligned} \text{tpd}_2 &= \frac{C_1 V_a}{2I_1} \\ &= \frac{1}{2} \left( \frac{C_1 I_2 R_{k1}}{I_1} \cdot \frac{C_1}{C_2} \cdot \frac{R_{k1}}{R_{k2}} \cdot \frac{I_3}{I_1} \cdot \text{toffset}_0 \right) \end{aligned}$$

【0056】

※ ※ 【数5】

【数5】

$$\begin{aligned} \text{toffset}_1 &= \text{toffset}_0 - \frac{C_1}{2C_2} \cdot \frac{R_{k1}}{R_{k2}} \cdot \frac{I_3}{I_1} \cdot \text{toffset}_0 \\ &= \left( 1 - \frac{C_1}{2C_2} \cdot \frac{R_{k1}}{R_{k2}} \cdot \frac{I_3}{I_1} \right) \text{toffset}_0 \end{aligned}$$

【0057】

【数6】

【数6】

$$\begin{aligned} \text{toffset}_k &= (1 - \alpha)^{k-1} \text{toffset}_0 \\ \therefore \alpha &= \frac{C_1}{2C_2} \cdot \frac{R_{k1}}{R_{k2}} \cdot \frac{I_3}{I_1} \end{aligned}$$

【0058】尚、プロシクライトデータの伝達が終了されると、分類コントローラ12の制御により、スイッチSW4、SW5がオフされ、また、分類回路452がユーザデータ取り込みモードとされる。

【0059】このように、固定遅延回路453での遅延時間と可変遅延回路454での遅延時間との差に基づいて固定遅延回路453での遅延時間が調整されることにより、プロセスばらつき、その他レイアウト的な要因によって発生するオフセット時間をキャンセルすることができるから、そのようなPRML用LSIによれば、磁気ディスク装置の高速化に容易に対応することができる。

【0060】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0061】例えば、オフセット調整回路451の出力信号に基づいて可変遅延回路454の遅延時間を制御することにより、オフセットをキャンセルするようにしても良い。

【0062】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である、PR★50

★処理やML処理を行うLSIに適用した場合について説明したが、本発明はそれに限定されるものではなく、磁気ディスク装置用の各種LSIに適用することができる。

【0063】本発明は、少なくとも記録補正回路を含むことを条件に適用することができる。

【0064】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0065】すなわち、所定パターンのデータを上記第1遅延回路と上記遅延回路との双方に同時に入力するモードを有し、上記第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に基づいて上記第1遅延回路での遅延時間を調整することで上記記録補正のオフセットを調整するためのオフセット調整回路を備えることにより、第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に基づいて上記第1遅延回路での遅延時間が調整されるので、プロセスばらつき、その他レイアウト的な要因によって発生するオフセット時間をキャンセルすることができる。

【0066】また、上記第1遅延回路での遅延時間と上記第2遅延回路での遅延時間との差に応じた電圧を発生させる電圧発生手段と、上記電圧発生手段によって発生された電圧に応じた電流を上記第1遅延回路にフィードバックするためのフィードバック経路とを設けることにより、上記オフセット調整回路を容易に形成することができる。

【0067】さらに、上記のようにプロセスばらつき、その他レイアウト的な要因によって発生するオフセット

13

時間をキャンセルできるので、磁気ディスク装置の高速化に対応することができる。

【図面の簡単な説明】

【図1】本発明にかかる磁気ディスク装置に含まれる記録補正部の構成例回路図である。

【図2】上記記録補正部における主要部の第1動作タイミング図である。

【図3】上記記録補正部における主要部の第2動作タイミング図である。

【図4】上記記録補正部における主要部の第3動作タイミング図である。

【図5】上記記録補正部を含むPRML用LSIが適用された磁気ディスク装置の構成例ブロック図である。

【図6】上記記録補正部の必要理由を説明するための波形図である。

【図7】上記記録補正部の構成例ブロック図である。

【図8】上記記録補正部における主要動作を説明するためのタイミング図である。

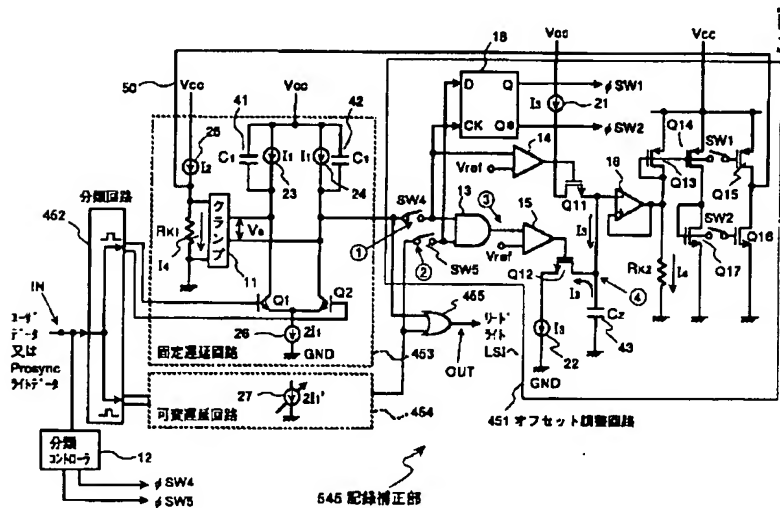
14

【図9】上記記録補正部に含まれるクランプ回路の構成例回路図である。

【符号の説明】

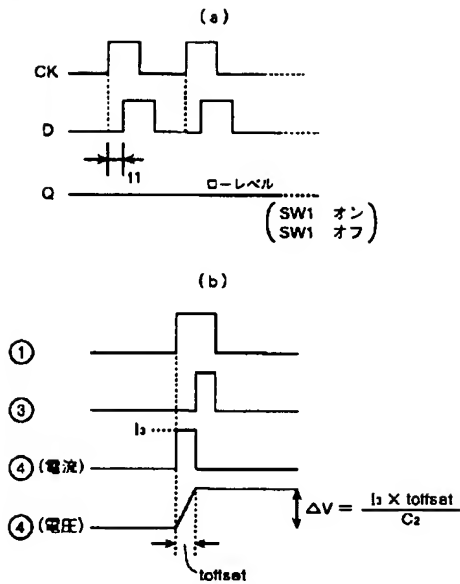
- 50 フィードバック経路
- 51 ディスク
- 52 磁気ヘッド
- 53 リードライトLSI
- 54 PRML用LSI
- 451 オフセット補正回路
- 452 分類回路
- 453 固定遅延回路
- 454 可変遅延回路
- 455 合成回路
- 541 PR処理部
- 542 ML復号部
- 543 復調部
- 545 記録補正部
- 544 符号変換部

【図1】



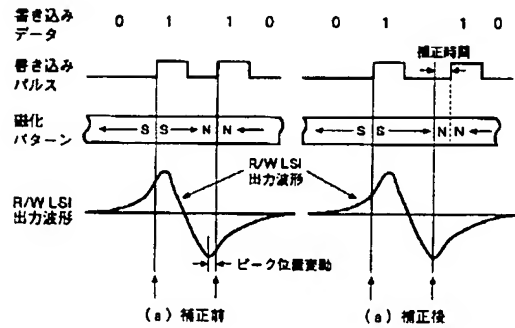
【図4】

【図4】



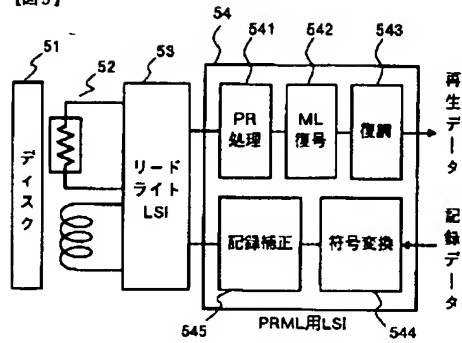
【図6】

【図6】



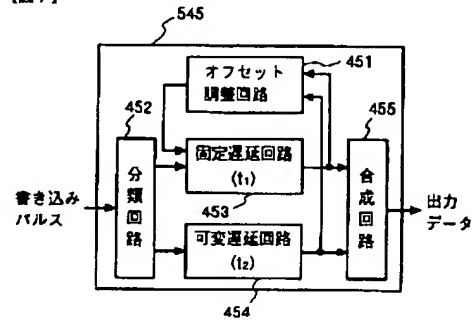
【図5】

【図5】



【図7】

【図7】



【図9】

【図9】

